

LSI IP デザイン・アワード応募書類表紙（企業）

タイトル：「 SoC 設計者が今のツールで利用できるシリアルATA 検証用 IP 」

技術分野：シリアルATA 検証用 IP

応募者：千葉 勝春（ちば かつはる）

所属機関：NEC マイクロシステム株式会社 コア開発事業部 コア第一グループ

1. 研究・開発の目的

シリアルATA ホストコアを搭載した SoC 開発において、シリアル インタフェースを検証することは容易ではない。シリアルATA 規格に準拠して動作する検証 IP を接続して検証することにより、シリアルATA の規格に精通していなくとも SoC の検証が可能になる。また、検証 IP は設計者の設計環境に容易に組み込めることが、設計者の負担を軽減し、短期間に SoC を開発できることにつながる。そこで、通常のソフトウェア シミュレータ上で動作して容易に使用でき、高品質なシリアルATA ホストコアの検証用 IP の開発を行った。

2. 研究・開発の概要

1) 利用分野：シリアルATA ホストコア搭載の SoC 開発における検証支援

2) 特徴：

2-1) シリアルATA デバイスの各レイヤー（Physical, Link, Transport, Application）の動作をエミュレート

2-2) Verilog-HDL で記述された、デバイス動作モデル

2-3) System Verilog Assertion (SVA) で記述された、アサーション チェックとモニタ機能

3) 種類：ソフト VC

4) 規模：検証用 IP なので該当せず。

5) 性能：検証用 IP なので該当せず。

3. 訴求点および効果

IP ベンダーより購入または、再利用するシリアルATA ホストコアを搭載した SoC を開発する場合、SoC 設計者はシリアルATA ホストコアを、ブラックボックスとして 1Chip 内に組み込み SoC 全体検証を行う。ただし、SoC 設計者はシリアルATA の規格に精通している訳ではない。更に高品質要求を満足させる上で、SoC 検証環境が多様化している状況下で、容易に検証環境を構築でき高品質な検証が望まれる。その一解として検証用 IP がある。

(1) シリアルATA の規格に準拠し、ホストからのコマンドに自動応答するデバイスモデルとシリアルインタフェースの信号を監視し、プロトコルチェックを行うアサーションチェック / モニタ機能も持たせた検証 IP の提供。

サポート規格：Serial ATA 1.0a Specification

Serial ATA II: Extensions to Serial ATA 1.0a, Revision 1.2

(2) PHY / LINK / Transport Layer に加えて通常はソフトウェアで実装される Application Layer を含み、コマンドの実行、実行結果のステータス送信までの一連の動作を、ユーザが指定することなく自動で実行するデバイスモデルを提供する。Layer の動作モード変更やエラーケースを生成する task を用意し、ユーザがテスト シナリオとして指定することが可能である。

(3) シリアル インタフェースの信号を監視し、プロトコル チェックを行うアサーション チェックとモニタ機能を提供する。シリアルATA 規格に精通していなくともプロトコル違反を検出でき、シミュレーション デバック効率の向上に貢献できる。

(4) 本検証 IP は、Verilog-HDL と System Verilog Assertion で記述されており、検証環境（ツール）に依存されず、容易に SoC 設計環境に組み込むことが可能である。

SOC 設計者が今のツールで利用できるシリアル ATA 検証用 IP

技術分野：シリアル ATA 検証用 IP

応募者：千葉 勝春（ちば かつはる）

所属機関：NEC マイクロシステム株式会社 コア開発事業部 コア第一グループ

1. 開発の背景

近年のブロードバンドとデジタルメディアの普及により、ハードディスクの用途は拡大している。これまで標準的に使用されてきたパラレル ATA インタフェース代わる新しい規格として、シリアル ATA が策定された。シリアル ATA は、パラレル ATA とソフトウェア的には上位互換を維持しながら、パラレル ATA (Ultra ATA/100) の 3 倍の 300 メガバイト/秒 の転送能力を持っている。今後は、PC およびデジタル家電等のストレージ機器インタフェースは、シリアル ATA に置き換わっていくため、従来、パラレル ATA のシステムをシリアル ATA に置き換えた SoC の開発が促進されるものと予想する。

一方 SoC の開発は大規模化によって、IP コアを再利用して SoC を開発することが不可欠となっている。IP コアの機能が複雑になるに従って、SoC に IP コアをインテグレートする時間よりも、検証環境の構築と、機能検証工程に膨大な時間を費やしている。

シリアル ATA ホストコアを内蔵した SoC を開発する場合、SoC 設計者はシリアル ATA 規格に精通しているわけではないため、シリアル インタフェースの検証環境を構築して検証することは容易ではない。

また、実績のあるシリアル ATA ホストコアを再利用しても、SoC の検証はシリアル ATA デバイス モデルとの接続検証が必要になる。一般にシリアルインタフェース通信では、不特定多数のデバイスとの接続性（相性）が問題となることから、客観的で実績のあるシリアル ATA デバイスモデルが必要である。

SoC の検証方法はユーザによって多種多様であるが、RTL のソフトウェア シミュレータによる機能検証は必須の検証手法である。SoC 設計者は、シリアル ATA ホスト コアをインテグレートしたシステム検証を、容易にかつ、現状の資産（検証環境）でできる高品質な検証 IP を望んでいる。

そこで、シリアル ATA の規格に準拠し、SoC 設計者が今の検証環境で容易に利用できるシリアル ATA 検証用 IP の開発を行った。

2. 本検証 IP の機能と特徴

図 1 にシリアル ATA 検証 IP を使用した SoC 検証環境を示す。

本検証 IP は、Verilog-HDL で記述されたデバイス モデルと、System Verilog Assertion で記述されたアサーション チェッカ及びモニタの 2 つコンポーネントで構成されており、それぞれのコンポーネントは、単独で使用することも可能である。

デバイス モデルは、シリアル ATA 規格の全ての Layer の動作をエミュレートし、ホストからのコマンドに対して自動で応答するデバイス モデルであるため、ユーザはシナリオを与える必要がない。

アサーション チェッカ / モニタ機能部は、シリアル ATA ホストコア内部でのプロトコル違反を検出し、コンソール出力及び波形ビューワでの表示も可能であるため、シミュレーション時のデバック効率が向上する。

すなわち、ユーザはシリアル ATA ホストコアをブラック ボックスとして扱い、上位側にあたる SoC 内部バスとの接続検証に注力したシステム検証が可能となる。

これらの検証 IP は Verilog シミュレータ上で動作するため、ユーザの検証環境（ツール）に依存されず検証環境が構築でき、容易に高品質な検証を行うことが可能となる。

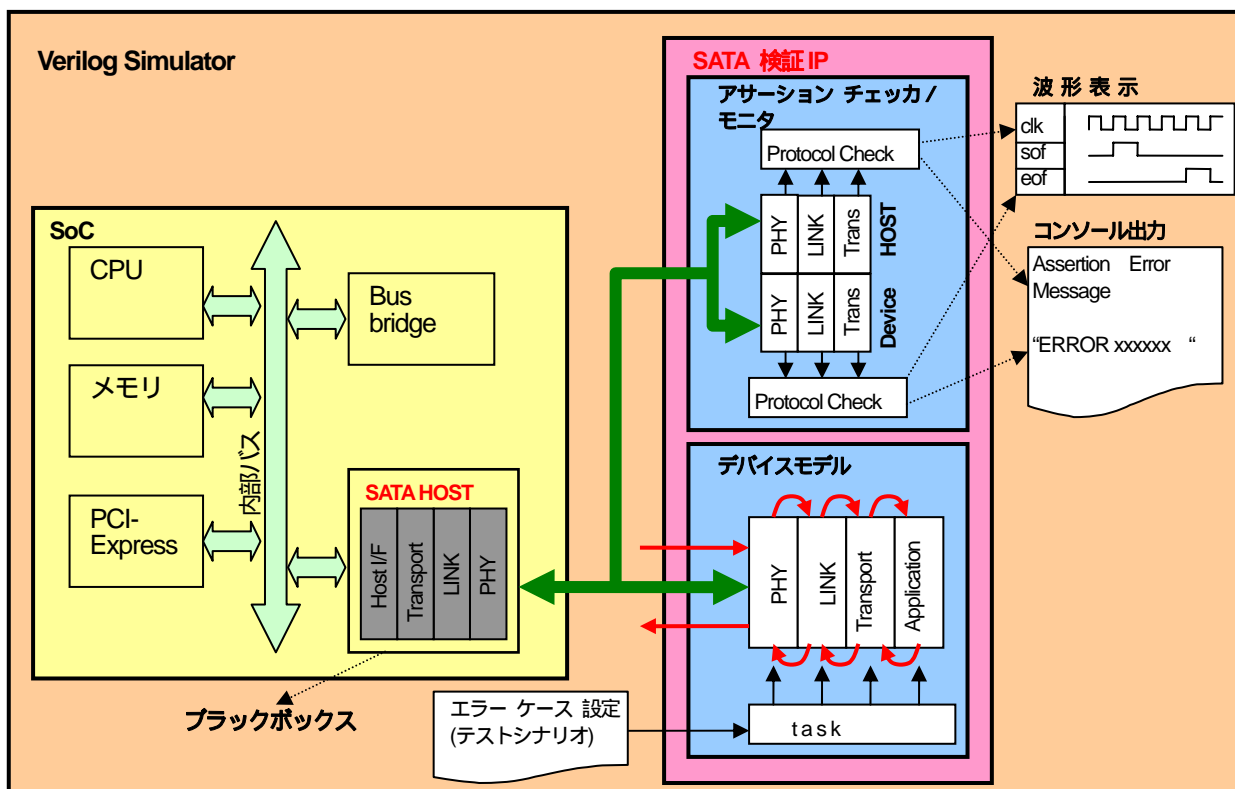


図 1 シリアルATA 検証 IP を使用した SoC 検証環境

2.1. サポートする規格

- Serial ATA 1.0a Specification
- Serial ATA II: Extensions to Serial ATA 1.0a, Revision 1.2

2.2. 自動応答するデバイスモデル

シリアルATAのデバイスモデルは、ホストからのコマンドを受け取り、PHY / LINK / Transport Layer でコマンドを解釈し、Application Layer コマンドを実行し、実行結果のステータスをホストに返すという、一連の受動的な動作を行う。

本検証 IP のデバイスモデルには、通常はソフトウェアで実装される Application Layer を含んでいる。コマンドの実行から、実行結果のステータス返信までの一連の処理を、ユーザが指定することなく自動で実行する。また、それぞれの Layer の動作モード変更やエラーケースを生成する task を用意しており、ユーザがテストシナリオとして指定することにより、さまざまなエラーケースを起こすことが可能である。デバイスモデルの主な機能は以下の通りである。

・サポート コマンド

- ATA/ATAPI コマンドの 40 種類と、Serial ATA II で追加された NCQ コマンドをサポート
- すべてのコマンドは、自動でコマンド解釈・実行・ステータス送信を行うため、ユーザがシナリオを与える必要はない。

・エラー ケース生成機能

- CRC エラー、転送アバート、異常フレームフォーマット、エラー応答など各種エラーケースを生成できる。
- エラーケースは、デバイスモデル内に用意している task をユーザがテストシナリオとして与えることによって生成できる。
- テストシナリオ上で task を起動することで、動作モードを設定できるので、一つのテストシナリオ上で、ダイナミックにエラーケースを組み合わせることで生成できる。

2.3. ホストとデバイス双方をチェックするアサーション チェッカ/モニタ

シリアル インタフェースの信号は、8B/10B 変換と呼ばれる符号化されたシリアルデータ信号であり、この信号を直接観測するのは非常に難解である。再利用する IP コアであるシリアル ATA ホストコアはコア自体が暗号化されている場合が多く、ブラックボックスとして扱うため、内部がどのように動いているかを把握することは難しい。

SoC 設計者は、上位側の SoC 内部バスでシリアル ATA ホストコアの動作を観測することになる。しかし、これでは シリアル ATA ホスト コア内部のプロトコル違反を検出できない可能性があるとともに、SoC 内部バスでのエラー動作があった場合には、真のエラー原因を解析することができない。これらのことを解決するため以下の機能を持たせている。

- ・ホストとデバイス間の双方向のシリアルインタフェース信号を直接モニタする。
- ・シリアル信号から PHY / LINK / Transport Layer の動作をエミュレートし、各 Layer でのプロトコル違反 (83 種類) を常時に監視して、プロトコル違反があれば警告メッセージをコンソールとシミュレーション ログに出力する。
- ・それぞれの Layer の動作やプロトコル違反について、波形表示する。(図 2)

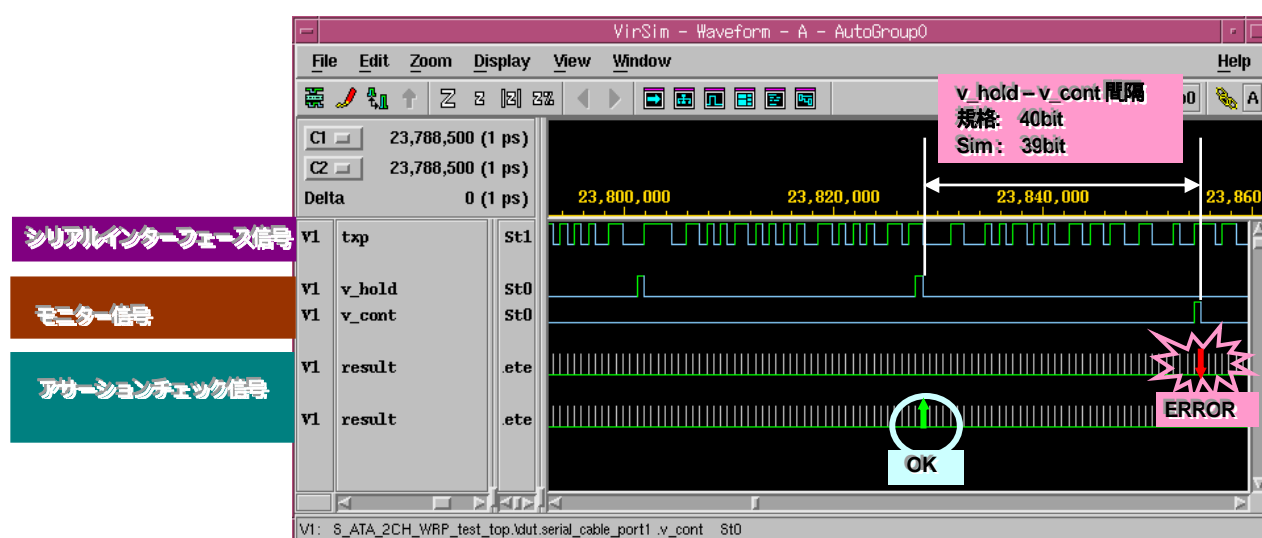


図 2 アサーションチェッカ/モニターの波形表示機能 (例)

図2の波形において、上段の信号は 8B/10B でエンコードされたシリアル インタフェース信号であり、この信号波形からは どのようなデータなのかの判断ができない。当然のことながらプロトコル違反があっても発見することは不可能である。中段の信号は、8B/10B をデコードし、コントロールコード (シリアル ATA 規格の Primitive) を検出した信号、すなわち、LINK Layer の動作をエミュレートしたモニタ信号である。コントロール コード (Primitive) の動きが視覚的 (直感的) に見て取れる。

さらに、下段の信号はアサーションチェッカでプロトコル違反を監視している信号である。赤い矢印はプロトコル違反を示しており、緑の矢印は正常プロトコルを示している。このプロトコル違反の理由は、v_hold 信号と v_cont 信号間隔が 1bit 少ないためであるが、このようなプロトコル違反は目視チェックでは見逃す可能性があるがアサーションチェッカによって確実にチェックされることになる。

2.4. 今のツールで利用できる検証 IP

本検証 IP のデバイスモデルは、Verilog-HDL で記述されたビヘビア モデルであるため、基本的にどの Verilog シミュレータ上でも実行できる。

また、アサーション チェッカ/モニタは、System Verilog Assertion で記述されている。

System Verilog Assertion は、主要 EDA ベンダーである、Synopsys(VCS)、Mentor (Modelsim)、CADENCE(NC_Verilog)がサポートしているので、それらの Verilog シミュレータ上で実行できるために、新たなツールを導入することなく、ユーザの設計環境に容易に組み込むことができる。さらに、Specman や VERA といったテストベンチツールと組み合わせて使用することも可能である。

ユーザの検証環境に本検証 IP をインスタンスして、シリアルインタフェース信号に接続するだけで、検証環境を構築することができる。

3. 品質と実績

本検証 IP は、シリアルATA ホスト コア搭載の ASSP 製品の 2 製品に適用して量産の実績がある。デバイス モデルの自動応答機能により、テスト シナリオ作成効率が向上し、早期に初期バグの検出に効果があった。エラー ケース生成機能により、実機評価では発生しにくいコーナー ケースを効率よくシミュレーションすることができ、非常にまれなコーナー ケース バグを数件発見している。

アサーション チェッカによりプロトコル違反のチェック漏れをなくすことができ、検証品質が向上した。また、製品開発で培った検証ノウハウを本検証 IP のエラー ケース生成機能やアサーション チェック項目ヘフィード バックしており現在 83 項目のチェック機能を搭載した 完成度の高い検証 IP になっている。

4. 提供物件

- Verilog-HDLファイル (ビヘビアモデル)
- System Verilog Assertionファイル
- 使用マニュアル

LSI IP デザイン・アワード/チェック・シート 企業部門ハード設計資産

- 1) タイトル：SOC設計者が今のツールで利用できるシリアルATA検証用IP
- 2) IP名(製品名)：シリアルATA検証用IP
- 3) 応募者：
 - 社名 NECマイクロシステム株式会社
 - 応募者名 千葉 勝春(ちば かつはる)
 - 連絡先 NECマイクロシステム コア開発事業部 コア第一グループ
〒211-0063 神奈川県川崎市中原区小杉町 1丁目 403番 53 (NEC小杉ビル)
TEL (044)744-5403 Fax (044)733-8735
- 4) 応募部門：自由部門
- 5) IPの提供形態：
 - ・Verilog-HDL(ビヘビアモデル)
 - ・System Verilog Assertion
 - ・使用マニュアル
- 6) 実績(製品化やライセンス状況など)：
 - ・シリアルATA ホストコア搭載ASSP製品開発にて、本検証IPを用いて検証した。
- 7) 合成可能なEDA環境：検証IPのため対象外
- 8) 検証レベル(論理シミュレーションやFPGA、Si試作など)：
 - RTLシミュレーション。本検証IPで検証したASSP 2製品の量産実績あり。
- 9) 提供可能物：
 - ・Verilog-HDLファイル
 - ・System Verilog Assertionファイル
 - ・使用マニュアル
- 10) VSIA準拠状況：未対応
- 11) 特許の有無：無し
- 12) 特許調査の有無：現時点で特許侵害なしと判断
- 13) サポート体制
 - 専任の技術者による以下のサポートを提供する。
 - ・SoC組み込み、検証サポート
 - ・カスタマイズサポート