

## LSI IP デザイン・アワード応募書類表紙（大学）

タイトル : 複素バンドパス  $\Delta\Sigma$ AD 変調器用マルチビット DAC  
非線形性のノイズ・シェーブ・アルゴリズム

技術分野 : ハードウェア設計資産

応募者 : 傘 昊 小林 春夫 川上 慎也 和田 宏樹

所属機関 : 群馬大学 工学部 電気電子工学科 小林研究室

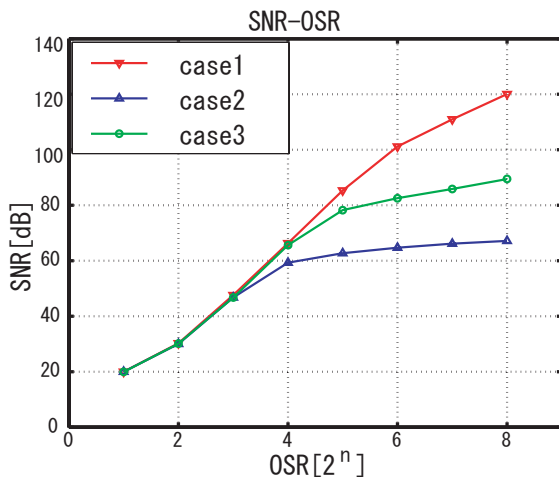
### 1. 研究・開発の目的

携帯電話や無線 LAN 等の通信システムの RF 受信回路 (特に Low-IF 受信機) において複素バンドパス  $\Delta\Sigma$  変調器の適用が検討されている。複素バンドパス  $\Delta\Sigma$  変調器は内部でイメージ信号のレベルを抑える事ができるので、I、Q 信号経路間 mismatches の影響を軽減できる。 $\Delta\Sigma$ AD 変調器はオーバーサンプリングとノイズ・シェーブ手法で高分解能を実現するが、マルチビット  $\Delta\Sigma$ AD 変調器を用いる場合、変調器内の DAC の非線形性はノイズ・シェーブされず ADC 全体の精度を劣化させてしまうという問題が生じる。そこで高精度マルチビット複素バンドパス  $\Delta\Sigma$ ADC を実現するために、わずかなデジタル回路を付加する事でマルチビット DAC の非線形性をノイズ・シェーブする新しいアルゴリズムを提案する。また Matlab によるシミュレーションでその有効性を確認した。

### 2. 研究・開発の概要

- 1) 利用分野：携帯電話、無線 LAN、ブルートゥース
- 2) 特徴：複素バンドパス  $\Delta\Sigma$ AD 変調器用マルチビット DAC の非線形性のノイズ・シェーブ・アルゴリズムを開発し、高精度 AD 変換を可能にした。
- 3) 種類：アルゴリズム

### 3. 訴求点および効果：



従来式バンドパス  $\Delta\Sigma$ AD 変調器内部マルチビット DAC の非線形性をノイズ・シェーブするためのアルゴリズムは (単一入出力) 実バンドパス  $\Delta\Sigma$ AD 変調器のみを対象としている。提案したアルゴリズムでは、I と Q 入出力を持つ複素バンドパス  $\Delta\Sigma$ AD 変調器用マルチビット DAC の非線形性をノイズ・シェーブできる 高精度複素バンドパス  $\Delta\Sigma$ ADC を実現するために、わずかなデジタル回路を付加する事でマルチビット DAC の非線形性をノイズ・シェーブさせることを可能にした。

図 1: 変調器の SNR のシミュレーション結果  
Case1: 理想 (非線形性がない)DAC を用いる場合。  
Case2: 非線形性がある DAC を用いる場合。  
Case3: 提案するエレメント・ロテーション型 DAC を用いる場合。

# 複素バンドパス $\Delta\Sigma$ AD 変調器用マルチビット DAC 非線形性のノイズ・シェーブ・アルゴリズム

A Noise-Shaping Algorithm of Multi-bit DAC Nonlinearities  
in Complex Bandpass  $\Delta\Sigma$ AD Modulators

傘 昊  
Hao San

小林 春夫  
Haruo Kobayashi

川上 慎也  
Shinya Kawakami

和田 宏樹  
Hiroki Wada

群馬大学工学部電気電子工学科 〒 376-8515 群馬県桐生市天神町 1-5-1  
Dept. of Electronic Engineering, Gunma University, 1-5-1 Tenjin-cho Kiryu 376-8515

要約 – この論文では携帯電話や無線 LAN 等の通信システムの RF 受信回路に用いられる複素バンドパス  $\Delta\Sigma$ ADC を高精度化するための一手法を提案する。 $\Delta\Sigma$ AD 変調器はオーバーサンプリングとノイズ・シェーブ手法で高分解能を実現するが、マルチビット  $\Delta\Sigma$ AD 変調器を用いる場合、変調器内の DAC の非線形性はノイズ・シェーブされず ADC 全体の精度を劣化させてしまう。一方、複素 IF 入力信号を変換するため、二つの実バンド・パス  $\Delta\Sigma$ AD 変調器を用いるのに対し、同じ次数の複素バンド・パス  $\Delta\Sigma$ AD 変調器を用いる場合はより良い特性を実現できる。そこで高精度複素バンドパス  $\Delta\Sigma$ ADC を実現するために、わずかなデジタル回路を付加する事でマルチビット DAC の非線形性をノイズ・シェーブする新しいアルゴリズムを提案する。また Matlab によるシミュレーションでその有効性を確認した。

キーワード: 複素バンドパス  $\Delta\Sigma$ AD 変調器、ノイズ・シェーピング、バンドパス・フィルタ、AD 変換器、DA 変換器、エレメント・ローテーション、Low-IF 受信機

## 1 はじめに

携帯電話や無線 LAN 等の通信システムの RF 受信回路においてバンドパス  $\Delta\Sigma$ ADC の適用が検討されている [1]-[5]。また、通信システムで用いられるアプリケーション (特に Low-IF 受信機) において、I、Q 経路のミスマッチによる生じるイメージ信号がシステムの特性を劣化させるため、変調器内部でイメージ信号を抑える複素バンドパス  $\Delta\Sigma$  変調器の適用も検討されている [1]-[6]。RF 受信回路

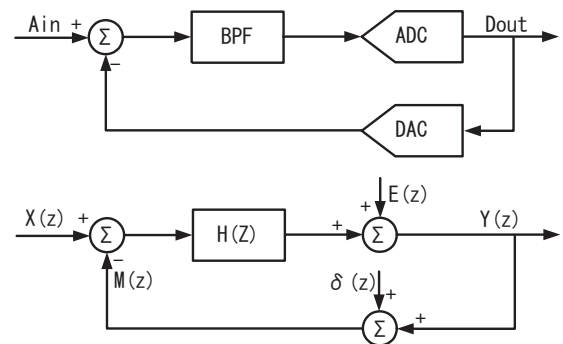


図 1: バンドパス  $\Delta\Sigma$ AD 変調器構成図とその等価ブロック線図。  $X(z)$ (Ain) はアナログ入力、  $Y(z)$ (Dout) はデジタル出力、  $E(z)$  は ADC の量子化誤差、  $\delta(z)$  は DAC の非線形誤差を表す。

においては ADC 回路のアンテナに近い方向へのシフトを実現すれば、従来アナログで実現されていた複雑な機能をデジタル信号処理手法で実現し、システム全体の集積度と性能を上げる事が可能となる。

これを実現するためには ADC 回路に対して優れた線形性、ダイナミック・レンジ、信号帯域とイメージ信号除去能力が要求される。複素バンドパス  $\Delta\Sigma$  変調器は内部でイメージ信号のレベルを抑える事ができるので、I、Q 信号経路間ミスマッチの影響を軽減できる。 $\Delta\Sigma$ AD 変調器はオーバーサンプリングとノイズ・シェーブ手法で高精度を実現する。更なる高精度を追求するために高次 1 ビット  $\Delta\Sigma$  変調器を用いる場合は、安定性が問題になり、またより高いフィルタ次数の変調器 (及びそれに伴う後段の高次デジタル・フィルタ) と高い OSR(Oversampling Ratio) が要求される [7]。OSR を高くするためにはサンプリング・レー

トを高くしなければならない。一方マルチビット  $\Delta\Sigma$ AD 変調器を用いる場合、低い OSR で高分解能が得られ、安定性の問題も軽減される [7, 8]。しかし、優れた線形性を持つ 1 ビット DAC とは対照的に、マルチビット  $\Delta\Sigma$ AD 変調器の内部 DAC の非線形性は変調器内でノイズ・シェーブされず、ADC 全体の精度を劣化させてしまうという問題が生じる。バンドパス  $\Delta\Sigma$ AD 変調器の構成を図 1 に示す。その入出力関係式は次のように表せる。

$$M(z) = \frac{H(z)}{1+H(z)} \left[ X(z) + \frac{1}{H(z)}E(z) + \frac{1}{H(z)}\delta(z) \right] \quad (1)$$

$$Y(z) = \frac{H(z)}{1+H(z)} \left[ X(z) + \frac{1}{H(z)}E(z) - \delta(z) \right] \quad (2)$$

ここで、信号成分  $S(z)$ 、ノイズ成分  $N(z)$  を次のように定義する。

$$\begin{aligned} S(z) &:= \frac{H(z)}{1+H(z)}X(z) \\ N(z) &:= \frac{H(z)}{1+H(z)} \left[ \frac{1}{H(z)}E(z) - \delta(z) \right]. \end{aligned} \quad (3)$$

式 (3) から、内部 ADC の量子化ノイズ  $E(z)$  はノイズ・シェーブされるが、DAC の非線形誤差  $\delta(z)$  はノイズ・シェーブされずそのまま出力されるので、高精度  $\Delta\Sigma$ ADC の実現を困難にしてしまうことがわかる。

バンドパス  $\Delta\Sigma$ AD 変調器内部マルチビット DAC の非線形性をノイズ・シェーブするため、ダイナミック・エレメント・マッチング法 [8]、エレメント・ローテーション法 [9] 等のアルゴリズムが提案されているが、これらはいずれも (単一入出力) 実バンドパス  $\Delta\Sigma$ AD 変調器 (図 1) のみを対象としている。この論文では、I と Q 入出力を持つ複素バンドパス  $\Delta\Sigma$ AD 変調器用マルチビット DAC の非線形性をノイズ・シェーブできるアルゴリズムを提案する高精度複素バンドパス  $\Delta\Sigma$ ADC を実現するために、わずかなデジタル回路を付加する事でマルチビット DAC の非線形性をノイズ・シェーブさせることを可能にした。また複素バンドパス  $\Delta\Sigma$ ADC 性能改善の効果を Matlab によるシミュレーションで確認した。

第 2 章ではシングル入出力を持つロー・パスとハイ・パス変調器の DAC 非線形性をノイズ・シェーブ・アルゴリズムについて述べる [12, 9]。第 3 章では提案した複素バンドパス  $\Delta\Sigma$ AD 変調器用マルチビット DAC 非線形性のノイズ・シェーブ・アルゴリズムについて詳しく説明する。第 4 章では MATLAB によるシミュレーション結果を示し、第 5 章では結論を述べる。また、この論文においては、 $\Delta\Sigma$ AD 変調器内部に用いるマルチビット DAC はセグメント電流セル型 [14] として、DAC の分解能は 9 レベルで、入力信号は 0, 1, 2, ..., 7, と 8 とする。

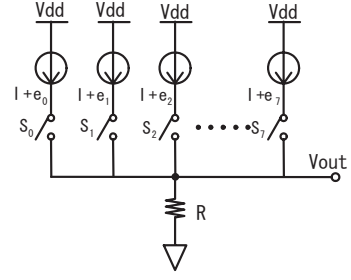


図 2: 9 レベル精度セグメント電流セル型 DAC。  $e_0, e_1, \dots, e_6, e_7$  は電流セルのミスマッチを表す。

## 2 単一入出力変調器用 DAC 非線形性 ノイズ・シェーブ・アルゴリズム

この章ではエレメント・ローテーション法を用いた通常の単一入出力の実変調器用 DAC 非線形性をノイズ・シェーブ・アルゴリズムを記す。単一入出力を持つロー・パスとハイ・パス変調器の DAC 非線形性を一次ノイズ・シェーブ・アルゴリズムは複素バンド・パス変調器のノイズ・シェーブ・アルゴリズム中でも用いられる。

### 2.1 セグメント型 DAC と電流セルのミスマッチ

通常の 9 レベル分解能を持つセグメント電流セル型 DAC は図 2 で示すように、8 個の単位電流セルと抵抗  $R$  によって構成される。 $k$  番目の電流セルに流れる電流を  $I_k (k = 0, 1, 2, \dots, 7)$  とすると理想状態においては、全ての電流  $I_k$  は等しいが、IC チップ製造上においてプロセスのバラツキにより電流値が異なり、その電流値は

$$I_k := I + e_k \quad (k = 0, 1, 2, \dots, 7).$$

となる。ここで

$$\begin{aligned} I &:= (I_0 + I_1 + I_2 + \dots + I_7)/8, \\ e_0 + e_1 + e_2 + \dots + e_7 &= 0, \end{aligned}$$

$e_k$  は電流値  $I_k$  のミスマッチとなる。

デジタル入力  $m$  の時、電流セル 0, 1, 2, ...,  $m-1$  を ON にし、DAC の出力電圧は

$$V_{out} = mRI + \delta.$$

となり、DAC の非線形性  $\delta$  は下式で与えられる：

$$\delta := R(e_0 + e_1 + e_2 + \dots + e_{m-1}).$$

ミスマッチ  $e_0, e_1, \dots, e_7$  (また等価的に DAC 非線形性  $\delta$ ) による ADC 出力パワー・スペクトルへの影響は、信号帯域内では平坦に表れる。

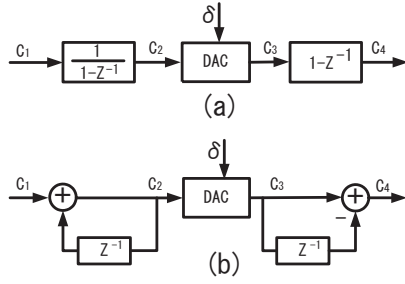


図 3: (a) ローパス・エレメント・ローテーション・アーキテクチャ。 (b) 等価ブロック図

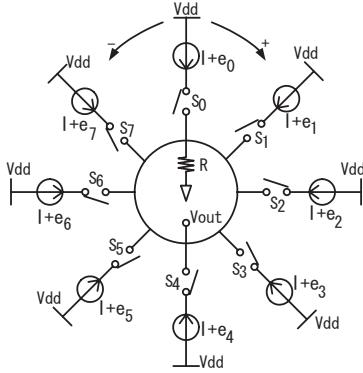


図 4: 電流セルがリング状に配列するセグメント型 DAC

## 2.2 ローパス・エレメント・ローテーション法:

この節ではローパス・エレメント・ローテーション法 [12] を説明する。図 3 に示す回路はデジタル・ローパス・フィルタ  $(1/(1-z^{-1}))$ 、非線形性  $\delta(z)$  を持つ DAC とアナログ・ハイパス・フィルタ  $(1-z^{-1})$  によって構成される。ここでは

$$C_2(z) = \frac{1}{1-z^{-1}} C_1(z) \quad (4)$$

$$C_4(z) = (1-z^{-1}) C_3(z) \quad (5)$$

$$C_3(z) = C_2(z) + \delta(z). \quad (6)$$

従って、アナログ出力  $C_4(z)$  は

$$C_4(z) = C_1(z) + (1-z^{-1})\delta(z). \quad (7)$$

となり、DAC の非線形性  $\delta(z)$  は  $1-z^{-1}$  により一次ノイズ・シェーブされる。また、式 (4), (5), (6) によって、以下の各式も成り立つ。

$$C_2(n+1) = C_2(n) + C_1(n+1) \quad (8)$$

$$C_4(n+1) = C_3(n+1) - C_3(n) \quad (9)$$

$$C_3(n) = C_2(n) + \delta(n). \quad (10)$$

ローパス  $\Delta\Sigma$ AD 変調器内のマルチ・ビット DAC を図 3 に示す回路で置き換える事が可能であれば、DAC の非線形

性をノイズ・シェーブされるが、実際にこの回路を実現する事は不可能である。例えば、 $C_1(n)$  は常に正数 2 である場合、 $n$  の増加に伴い、DAC の入力  $C_2(n)$  は無限大になり、DAC の入力レンジを超えてしまい、正確な DA 変化は不可能となる。この問題を解決するため、ローパス・エレメント・ローテーション・アルゴリズムは提案され、等価的にこの回路を実現できる。セグメント電流セル型 DAC に対して、以下のような事を考える：

- 従来式のセグメント電流セル型 DAC に対して、各電流セルは図 4 で示すように、リング状に配列されていると考える。
- DAC 回路に ON になる電流セルの位置を記憶するポインタを設ける。時刻  $n$  において、ポインタを  $P(n)$  にすると、次のサンプリング時刻  $n+1$  で、入力データに対して、 $P(n)$  番目からの電流セルが選択される。

電流セルの数は無限大と仮定する場合、 $C_2(n) = a$ 、 $C_1(n+1) = b$  ( $0 \leq b \leq 8$ ) の時、DAC の電流セル  $0, 1, \dots, a+b-1$  を ON にすることになる。式 (8) and (10) により

$$C_3(n+1) = (a+b)RI + R(e_0 + e_1 + e_2 + \dots + e_{a+b-1}).$$

となる。また、

$$C_3(n) = aRI + R(e_0 + e_1 + e_2 + \dots + e_{a-1}),$$

なので、DAC のアナログ出力  $C_4(n+1)$  は

$$C_4(n+1) = C_3(n+1) - C_3(n) = bRI + R(e_{a-1} + e_a + e_{a+1} + \dots + e_{a+b-1}),$$

となり、すなわち、DAC の電流セル  $a-1, a, a+1, \dots, a+b-1$  を ON にすることになる。ここでは  $a+b-1 > 7$  の可能性はあるが、実際の DAC には電流セルは 8 つしかないに対して、ローパス・エレメント・ローテーション・アルゴリズムを適用する場合、リング状で配置されている電流セル  $\text{mod}_8(a-1), \text{mod}_8(a), \text{mod}_8(a+1), \dots, \text{mod}_8(a+b-1)$  を ON にする。このローパス・エレメント・ローテーション・アルゴリズムの詳しい動作説明は以下である：

- 時刻  $n$  において、入力データが  $C_1(n) = c_n$  ( $n = 0, 1, 2, 3, \dots$ ) とする。
- $c_n$  個の電流セル  $\text{mod}_8(P(n)+1), \text{mod}_8(P(n)+2), \text{mod}_8(P(n)+3), \dots, \text{mod}_8(P(n)+c_n)$  を ON にする
- 時刻  $n+1$  の Pointer を  $P(n+1) = \text{mod}_8(P(n) + c_n)$  に設定する。

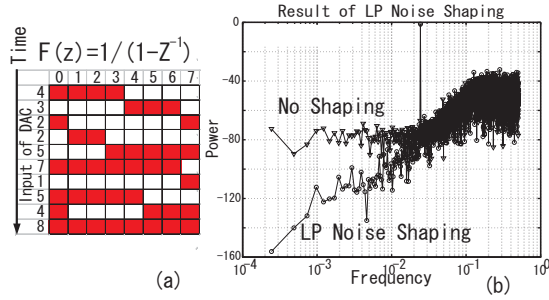


図 5: ローパス・ノイズ・シェーブ用エレメント・ローテーション法を用いる 3bit セグメント型 DAC 非線形性のノイズ・シェーブ。(a) 入力データが 4,3,2,2,5,... と推移する場合の ON になる電流セル (黒塗り部分)。(b) シミュレーションによる効果確認

図 5(a) に入力データが 4,3,2,2,5... と変化する場合にオンになる電流セルを記す。時刻  $n$  に、入力は 4 の時、電流セル 0, 1, 2, 3 を ON にする。時刻  $n+1$  に、入力は 3 の時、電流セル 4, 5, 6 を ON にする。時刻  $n+2$  に、入力は 2 の時、電流セル 7 と  $(\text{mod}_8(8)=)0$  を ON にする。時刻  $n+3$  に、入力は 2 の時も同様に、電流セル  $(\text{mod}_8(9)=)1$  と  $(\text{mod}_8(10)=)2$  を ON にする。このようにオンになる電流セルを (右回り) 選択することで電流セルのミスマッチ (すなわち DAC 非線形性) が 1 次ノイズ・シェーブされる [11]-[13]。また、図 5(b) にその効果の Matlab によるシミュレーション結果を示す。通常のセグメント型 DAC を用いると信号帯域内に DAC 非線形性のパワー・スペクトラムが平坦に表れてきてしまうが、このアルゴリズムを用いると 1 次ノイズ・シェーブされることが確認できる。

### 2.3 ハイパス・エレメント・ローテーション法

この節ではハイパス・エレメント・ローテーション法 [9] を説明する。図 6 で示す回路はデジタル・ハイパス・フィルタ  $(1/(1+z^{-1}))$ 、非線形性  $\delta(z)$  を持つ DAC とアナログ・ローパス・フィルタ  $(1-z^{-1})$  によって構成される。ここでは

$$D_2(z) = \frac{1}{1+z^{-1}}D_1(z) \quad (11)$$

$$D_4(z) = (1+z^{-1})D_3(z) \quad (12)$$

$$D_3(z) = D_2(z) + \delta(z). \quad (13)$$

従って、アナログ出力  $D_4(z)$  は

$$D_4(z) = D_1(z) + (1+z^{-1})\delta(z). \quad (14)$$

となり、DAC の非線形性  $\delta(z)$  は  $1+z^{-1}$  により一次ノイズ・シェーブされる。また、式 (11), (12), (13) によって、

以下の各式も成り立つ:

$$D_2(n+1) = D_2(n) - D_1(n+1) \quad (15)$$

$$D_4(n+1) = D_3(n+1) + D_3(n) \quad (16)$$

$$D_3(n) = D_2(n) + \delta(n). \quad (17)$$

ハイパス  $\Delta\Sigma$ AD 変調器内のマルチ・ビット DAC を図 6 に示す回路で置き換える事が可能であれば、DAC の非線形性をノイズ・シェーブされるが、ローパスのケースと同様に、この回路を実現する事も不可能である。ハイパス・エレメント・ローテーション・アルゴリズムは提案され、等価的にこの回路を実現できる。セグメント電流セル型 DAC に対して、各電流セルはリング状に配列され、ポインタを持っていると考える。このハイパス・エレメント・ローテーション・アルゴリズムの詳しい動作説明は以下である:

- 時刻  $2n$ :
  - 入力データが  $D_1(2n) = d_{2n}$  とする。
  - $d_{2n}$  個の電流セル  $P(2n)$ ,  $\text{mod}_8(P(2n) + 1)$ ,  $\text{mod}_8(P(2n) + 2)$ , ...,  $\text{mod}_8(P(2n) + d_{2n} - 1)$  を ON にする。すなわち、 $P(2n)$  番目の電流セルから右回りで  $d_{2n}$  個の電流セルを ON にする。
  - 時刻  $2n + 1$  の Pointer を  $P(2n + 1) = \text{mod}_8(P(2n) + d_{2n} - 1)$  に設定する。
- 時刻  $2n + 1$ :
  - 入力データが  $D_1(2n + 1) = d_{2n+1}$  とする。
  - $d_{2n+1}$  個の電流セル  $P(2n + 1)$ ,  $\text{mod}_8(P(2n + 1) - 1)$ ,  $\text{mod}_8(P(2n + 1) - 2)$ , ...,  $\text{mod}_8(P(2n + 1) - d_{2n+1})$  を ON にする。すなわち、 $P(2n + 1)$  番目の電流セルから左回りで  $d_{2n+1}$  個の電流セルを ON にする。
  - 時刻  $2n + 2$  の Pointer を  $P(2n + 2) = \text{mod}_8(P(2n + 1) - d_{2n+1} + 1)$  に設定する。

入力データが 4,3,2,6... と変化し、DAC 非線形性を  $1+z^{-1}$  でハイパス・ノイズ・シェーブするエレメント・ローテーション・アルゴリズムを用いる場合、オンになる電流セルを図 7 に示す。時刻  $n$  に、入力は 4 の時、電流セル 0, 1, 2, 3 を ON にする。時刻  $n+1$  に、入力は 3 の時、電流セル 3, 2, 1 を ON にする。時刻  $n+2$  に、入力は 2 の時、電流セル 1, 2 を ON にする。時刻  $n+3$  に、入力は 6 の時も同様に、電流セル 2, 1, 0, 7, 6, 5 を ON にする。すなわち、サンプル時刻が変わる度に、電流セルを ON にする方向は右回りと左回りを交互に変更する。

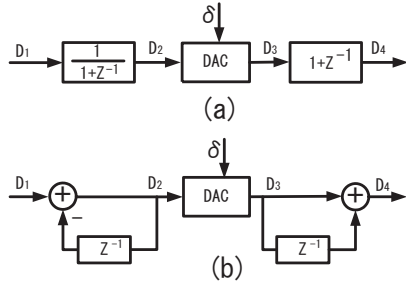


図 6: (a) ハイパス・エレメント・ローテーション・アーキテクチャ. (b) 等価ブロック図

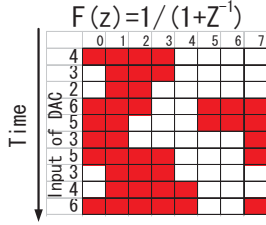


図 7: ハイパス・ノイズ・シェーブ用エレメント・ローテーション法を用いる 3bit セグメント型 DAC 非線形性のノイズ・シェーブ。入力データが 4,3,2,6,5,... と推移する場合の ON になる電流セル (黒塗り部分)。

### 3 複素バンドパス用 DAC 非線形性ノイズ・シェーブ・アルゴリズム

この章ではローパスとハイパス変調器で用いられるエレメント・ローテーション法に基づき、新しく提案した複素バンドパス変調器で用いられるエレメント・ローテーション・アルゴリズムの導出を説明する

#### 3.1 複素バンドパス $\Delta\Sigma$ AD 変調器

図 8 に複素バンドパス  $\Delta\Sigma$ AD 変調器と 1 次複素積分器 (複素バンドパス・フィルタ) 及びそのゲイン特性の例を示す。複素変調器は二つの入出力を持つ複素積分器、2 つ ADC と 2 つ DAC によって構成される。図 8(b) で示す複素積分器の伝達関数は

$$H(z) = \frac{1}{z - (d + jc)}$$

であり、 $c$  と  $d$  は複素積分器の極を表すデザイン・パラメータである [6]。図 8(c) で示す複素積分器のゲイン特性は  $\omega = 0$  の軸で対称ではなく、正規化角周波数  $\omega = \pi/2$  (サンプリング周波数の 1/4 に対応) でゲインは最大であり、イメージ信号 ( $\omega = -\pi/2$  に対応) が抑えられているのが特徴である。

#### 3.2 DAC 非線形性を複素バンドパス・ノイズ・シェーブする構成の提案

図 9 に示す DAC 非線形性を複素バンドパス・ノイズ・シェーブする構成案は 2 つ DAC、DAC の前部につける複素デジタル・フィルタと後部につける複素アナログ・フィルタによって構成される。 $I_1$  と  $Q_1$  は I と Q チャンネルの ADC のデジタル出力であり、 $I_4$  と  $Q_4$  は I と Q チャンネルの DAC のアナログ出力である。DAC 前部の複素デジタル・フィルタの伝達関数を

$$F(z) = \frac{1}{z - j}$$

とし、DAC 後部の複素アナログ・フィルタの伝達関数を  $1/F(z)$  とする。ここで

$$Y(z) := I_1(z) + jQ_1(z),$$

を 2ch ADC の複素マルチビット出力信号、

$$M(z) := I_4(z) + jQ_4(z),$$

を複素フィルタへのフィードバック信号とすると、図 9 で次のような関係が得られる：

$$I_2(z) + jQ_2(z) = F(z) \cdot Y(z) \quad (18)$$

$$I_3(z) + jQ_3(z) = (I_2(z) + jQ_2(z)) + (\delta_1 + j\delta_2) \quad (19)$$

$$M(z) = \frac{1}{F(z)}(I_3 + jQ_3) \quad (20)$$

式 (18)、(19) を式 (20) に代入すると

$$M(z) = Y(z) + \frac{1}{F(z)}(\delta_1 + j\delta_2) \quad (21)$$

となる。式 (21) を式 (1) に代入して整理すると

$$N(z) = \frac{1}{H(z)}[E(z) - (\delta_1(z) + j\delta_2(z))]$$

となる。

式 (1) と (2) に対し、 $H(z)$  を複素フィルタ、 $X(z)$ 、 $Y(z)$ 、 $E(z)$  と  $\delta(z)$  も複素信号で考える場合、その式は複素バンドパス  $\Delta\Sigma$ AD 変調器に対しても成り立つ。したがって、式 (21) を式 (1) に代入して整理すると

$$N(z) = \frac{H(z)}{1 + H(z)} \left[ \frac{1}{H(z)}E(z) - \frac{1}{F(z)}(\delta_1(z) + j\delta_2(z)) \right] \quad (22)$$

となる。式 (22) を式 (3) に比べると、この場合は (2ch)ADC の (複素) 量子化ノイズ  $E(z)$  だけでなく、(2ch)DAC の非線形誤差 ( $\delta_1 + j\delta_2$ ) も  $1/F(z)$  でノイズ・シェーブされることがわかる。

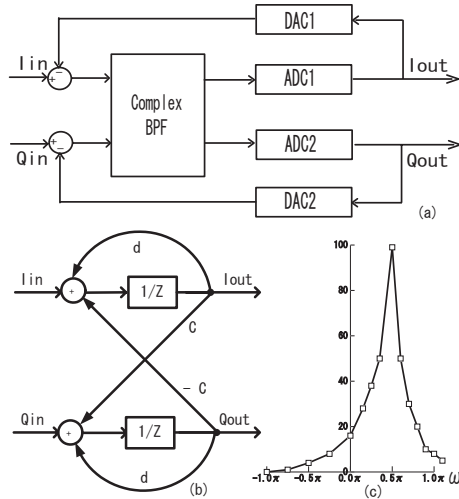


図 8: (a) 複素バンドパス ADΔΣ 変調器. (b) 複素バンドパス・フィルタの構成. (c) 複素バンドパス・フィルタのゲイン特性.

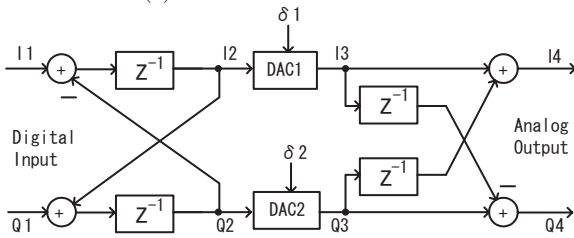


図 9: 複素バンドパス変調器用 DAC 非線形性をノイズ・シェーピングする提案構成.

### 3.3 提案構成の実現アルゴリズム

図 9 から次の関係式が得られる.

$$I_2(n+1) = I_1(n) - Q_2(n) \quad (23)$$

$$I_4(n+1) = I_3(n+1) + Q_3(n) \quad (24)$$

$$I_3(n) = I_2(n) + \delta_1(n) \quad (25)$$

$$Q_2(n+1) = I_2(n) + Q_1(n) \quad (26)$$

$$Q_4(n+1) = Q_3(n+1) - I_3(n) \quad (27)$$

$$Q_3(n) = Q_2(n) + \delta_2(n). \quad (28)$$

ここでは、二つ DAC の入力信号  $I_2$  と  $Q_2$  は DAC の入力レンジ外になり得るので、図 9 に示す提案構成を直接に実現するのは不可能である。例えば、変調器内の信号帯域中心 (正規化) 周波数は  $\omega = \pi/2$  の条件で、入力信号  $I_1, Q_1$  を

$$I_1(n) + jQ_1(n) = \exp(j\frac{\pi}{2}n) + 4.$$

とする場合、式 (23) と (26) により

$$I_2(1) = 5 - Q_2(0), \quad I_2(2) = -I_2(0),$$

$$\begin{aligned} I_2(3) &= -7 + Q_2(0), & I_2(4) &= I_2(0)... \\ Q_2(1) &= 4 + I_2(0), & Q_2(2) &= 10 - Q_2(0), \\ Q_2(3) &= 4 - I_2(0), & Q_2(4) &= -4 + Q_2(0)... \end{aligned}$$

となり、 $I_2$  と  $Q_2$  の値は DAC 入力レンジ (0~8) 外になり得ることは明かである。この問題を解決するため、2 つ DAC の前にデジタル・フィルタを追加するだけで、(DAC 後部にはアナログ・フィルタは必要せず)、その構成を等価的に実現できるアルゴリズムを提案した。

#### 【提案するアルゴリズム】

Fig.10(a) に示す 2 つセグメント型 DAC に対して、以下のように考える：

- 各々の DAC の電流セルは図 4 で示すように、リング状に配列する。
- 各々の DAC の電流セル配列にポインタを設ける。時刻  $n$  において、次の時刻  $n+1$  に選択するセルの位置を記憶するため、DAC1 の Pointer を  $P_1(n)$ 、DAC2 の Pointer を  $P_2(n)$  とする。

この等価アルゴリズムの動作を以下に記述する：

- 時刻  $2n$  のとき：

I-ch の DAC の入力を  $I_1(2n) = i_{2n}$  とすると

- DAC1 の電流セルでオンになるのは  $P_1(2n), \text{mod}_8(P_1(2n) + 1), \dots, \text{mod}_8(P_1(2n) + i_{2n} - 1)$  番目の各セルである。すなわち、 $P_1(2n)$  番目のセルから右回りで  $i_{2n}$  個のセルをオンに選択する。
- この DAC1 の出力が  $I_4(2n)$  となる。
- 次の時刻  $2n+1$  の DAC1 のポインタを  $P_1(2n+1) = \text{mod}_8(P_1(2n) + i_{2n} - 1)$  とする。

Q-ch の DAC の入力を  $Q_1(2n) = q_{2n}$  とすると

- DAC2 の電流セルでオンになるのは  $\text{mod}_8(P_2(2n) + 1), \text{mod}_8(P_2(2n) + 2), \dots, \text{mod}_8(P_2(2n) + q_{2n})$  番目の各セルである。すなわち、 $P_2(2n) + 1$  番目のセルから右回りで  $q_{2n}$  個のセルをオンに選択する。
- この DAC2 の出力が  $Q_4(2n)$  となる。
- 次の時刻  $2n+1$  の DAC2 のポインタを  $P_2(2n+1) = \text{mod}_8(P_2(2n) + q_{2n})$  とする。

- 時刻  $2n+1$  のとき：

I-ch の DAC の入力を  $I_1(2n+1) = i_{2n+1}$  とすると

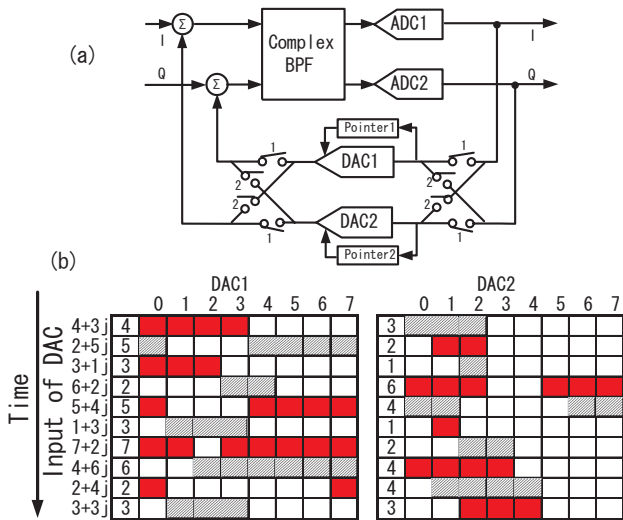


図 10: (a) 提案する複素バンドパス  $\Delta\Sigma$ AD 変調器。(b) 提案するアルゴリズムを用いて、複素入力データが  $4+3j, 2+5j, 3+1j, 6+2j, \dots$  と推移する場合の ON になる電流セル。濃い黒塗り部分が実部 (I 経路) 出力、薄い黒塗り部分が虚部 (Q 経路) 出力を表す。

- DAC2 の電流セルでオンになるのは  $P_2(2n+1), \text{mod}_8(P_2(2n+1) - 1), \dots, \text{mod}_8(P_2(2n+1) - i_{2n+1} + 1)$  番目の各セルである。すなわち、 $P_2(2n+1)$  番目のセルから左回りで  $i_{2n+1}$  個のセルをオンに選択する。
- この DAC2 の出力が  $I_4(2n+1)$  となる。
- 次の時刻  $2n+2$  の DAC2 のポインタを  $P_2(2n+2) = \text{mod}_8(P_2(2n+1) - i_{2n+1} + 1)$  とする。

Q-ch の DAC の入力を  $Q_1(2n+1) = q_{2n+1}$  とすると

- DAC1 の電流セルでオンになるのは  $\text{mod}_8(P_1(2n+1) + 1), \text{mod}_8(P_1(2n+1) + 2), \dots, \text{mod}_8(P_1(2n+1) + q_{2n+1})$  番目の各セルである。すなわち、 $\text{mod}_8(P_1(2n+1) + 1)$  番目のセルから右回りで  $q_{2n+1}$  個のセルをオンに選択する。
- この DAC1 の出力が  $Q_4(2n+1)$  となる。
- 次の時刻  $2n+2$  の DAC1 のポインタを  $P_1(2n+2) = \text{mod}_8(P_1(2n+1) + q_{2n+1})$  とする。

図 10(b) には提案するアルゴリズムを用いて、複素入力データが  $4+3j, 2+5j, 3+1j, 6+2j, \dots$  と推移する場合の ON になる電流セルを示す。このアルゴリズムの引き出す及び図 9 で示す構成案を等価的実現できる理由は以下で説明する。

まず、I-ch について考える。図 9 の上半部で示す I 経路の出力  $I_4$  に関しては「ハイパス・デジタル・フィルタ+DAC+ローパス・アナログ・フィルタ」になる。図 6(b) の左部分

と図 9 の左上部分に注目し、式 (23) と (15) を比較する。式 (23) 中の  $Q_2(n)$  を  $I_2(n)$  に変えれば、式 (23) は式 (15) と一致する。同様、図 6(b) の右部分と図 9 の右上部分に注目し、式 (24) と (16) を比較すると、式 (24) 中の  $Q_3(n)$  を  $I_3(n)$  に変えると、式 (24) は式 (16) と一致する。また、式 (25) と式 (17) も一致する。したがって、

- I-ch の DAC の出力  $I_4$  に対し、内部の I, Q 経路が交互作用のハイパス・エレメント・ローテーション・アルゴリズムを適用する。

次に、Q-ch について考える。図 9 の下半部で示す Q 経路の出力  $Q_4$  に関しては「ローパス・デジタル・フィルタ+DAC+ハイパス・アナログ・フィルタ」になる。図 3(b) の左部分と図 9 の左下部分に注目し、式 (26) と (8) を比較する。式 (26) 中の  $I_2(n)$  を  $Q_2(n)$  に変えれば、式 (26) は式 (8) と一致する。同様、図 3(b) の右部分と図 9 の右下部分に注目し、式 (27) と (9) を比較すると、式 (27) 中の  $I_3(n)$  を  $Q_3(n)$  に変えると、式 (27) は式 (9) と一致する。また、式 (28) と式 (10) も一致する。したがって、

- Q-ch の DAC の出力  $Q_4$  に対し、内部の I, Q 経路が交互作用のローパス・エレメント・ローテーション・アルゴリズムを適用する。

図 9 に示す I, Q 経路の交互作用は等価的式 (23),(24),(26),(27) で表す事ができる。式 (23)、(24) により、時刻  $n+1$  における I-ch の出力  $I_4$  は時刻  $n$  における Q-ch の内部状態 ( $Q_2(n), Q_3(n)$ ) の関数である。同様、式 (26)、(27) から、時刻  $n+1$  における Q-ch の出力  $Q_4$  は時刻  $n$  における I-ch の内部状態 ( $I_2(n), I_3(n)$ ) の関数である。2 つ DAC のポインタ  $P_1(n), P_2(n)$  を用いて、I, Q 経路の内部状態を記憶する場合、

- 時刻  $2n$  のとき、DAC1 は I-ch、DAC2 は Q-ch に用いられ、時刻  $2n+1$  のとき、DAC1 は Q-ch、DAC2 は I-ch に用いられる。

以上で引き出す提案アルゴリズムを用いて、2 つ DAC の非線形性  $\delta_1, \delta_2$  は一次複素バンドパス・ノイズ・シェーブされる。

## 4 シミュレーションによる効果確認

提案するアルゴリズムを用いて、マルチビット DAC の非線形誤差を複素ノイズ・シェーブする機能が働くかを検証するために、内部 9 レベル ADC/DAC の 4 次複素バンドパス変調器 [15] を用いて Matlab によるシミュレーション

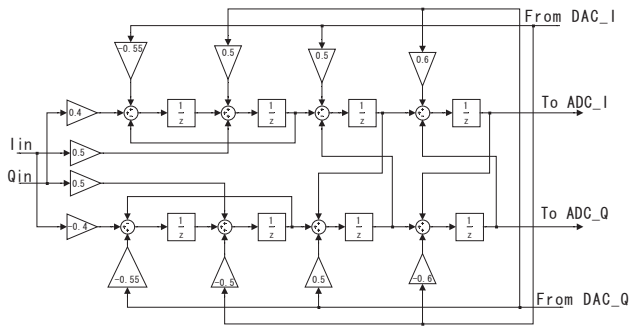


図 11: 図 8(a) に示す変調器中で用いられる 4 次複素バンドパス・フィルタ。

ンを行なった。同じ複素バンドパス変調器 (図 11) と内部 ADC 回路を用いるが、使用する DAC 回路は以下の三つのケースに分けてシミュレーションを行なった：

- ケース 1: 理想 (非線形性がない)DAC を用いる場合。
- ケース 2: 電流セルのミスマッチがある従来式セグメント電流セル型 DAC を用いる場合。
- ケース 3: 電流セルのミスマッチ条件はケース 2 と同じであるが、提案するエレメント・ロテーション型 DAC を用いる場合。

図 12 と 13 に上記の三つのケースの変調器出力スペクトルと SNR を比較したシミュレーション結果を示す。シミュレーション条件は：

- ケース 2 と 3 において、DAC1 のミスマッチ  $e_0, e_1, e_2, \dots, e_7$  は 0.0023, -0.0015, -0.003, 0.0028, 0.0025, 0.0029, -0.001 and 0.0 (LSB) で、DAC2 のミスマッチは -0.0017, 0.0015, -0.0025, 0.002, 0.0026, 0.0, -0.0019, and 0.0 (LSB) である。
- SNR を求めるため 16K サンプリング・ポイントに対して FFT 計算を行う。
- 入力周波数 ( $f_{in}$ )/サンプリング周波数 ( $f_s$ ) = 4,095/16,384 である。

DAC 非線形性がない場合 (ケース 1) は OSR に対して ADC 全体の SNR は増加するが、従来式型 DAC に非線形性がある場合 (ケース 2)、OSR は増えても SNR が飽和する。OSR が低い場合、支配的である量子化ノイズはノイズ・シェープされ、OSR に対して SNR は改善されるが、OSR が高い場合、DAC の非線形性によるノイズは支配的になり、ノイズ・シェープされないため、OSR を増加しても SNR は改善されない。一方提案アルゴリズムを用いた場

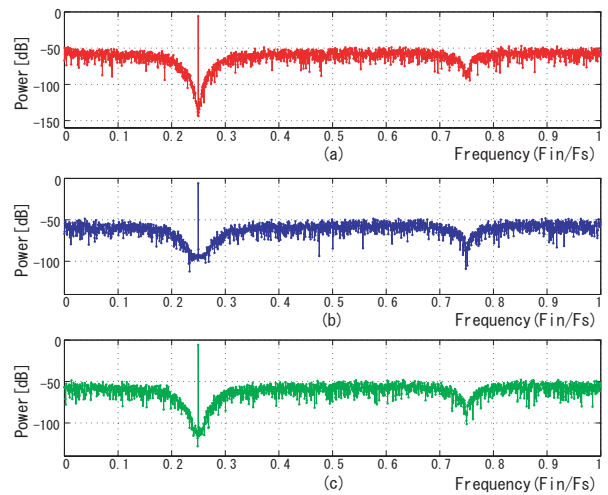


図 12: 複素正弦波入力に対する複素バンドパス  $\Delta\Sigma$  変調器出力スペクトルのシミュレーション結果。(a) 理想の DAC を用いた場合。(b) 電流セルのミスマッチがある従来式セグメント型 DAC を用いた場合。(c) 電流セルのミスマッチがある提案エレメント・ローテーション型 DAC を用いた場合。 $\omega = \pi/2$  だけでなく  $\omega = 3\pi/2$  でも量子化ノイズがノイズ・シェープされているのは変調器内の I,Q 経路ミスマッチによるイメージ量子化ノイズ ( $\omega \approx 3\pi/2$ ) が信号帯域内 ( $\omega \approx \pi/2$ ) に回り込むのを減少させるため、変調器内複素バンドパス・フィルタに  $\omega = 3\pi/2$  にも 1 次の極を設けているためである。

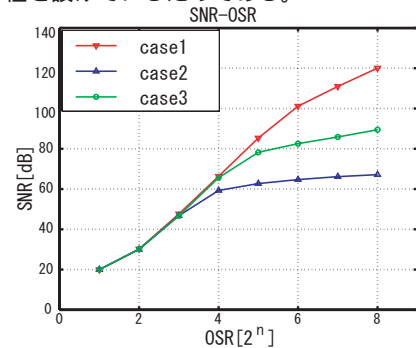


図 13: 変調器の SNR のシミュレーション結果。

合 (ケース 3) は、DAC 非線形性によるノイズ成分は信号帯域外に押し出されるので、非線形性の影響は軽減され、SNR は改善される事がわかる。

OSR は 32, 64, 128, 256 の条件で、電流セルミスマッチ  $e_0, e_1, e_2, \dots, e_7$  の二乗平均値による変調器 SNR への影響は図 14 に示す (左の図はケース 2、右の図はケース 3)。ミスマッチの二乗平均値は以下の式で与えられる：

$$\text{rms} := \sqrt{(e_0^2 + e_1^2 + e_2^2 + \dots + e_7^2)/8}$$

ケース 2 の場合、rms の増加に対し SNR は急激に劣化するが、ケース 3 の場合、SNR は改善されることがわかる。

論理上ではホワイトである DAC の非線形性ノイズは、ノイズ・シェープされなくても、OSR を倍にすると、SNR は

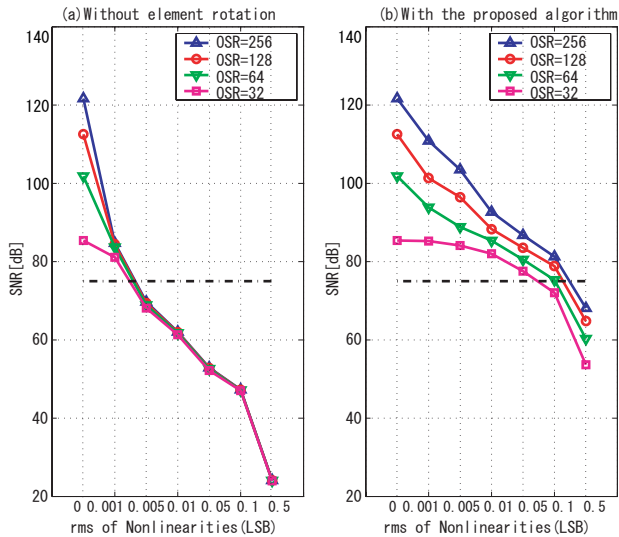


図 14: OSR は 32, 64, 128, 256 の条件で、電流セル mismatches  $e_0, e_1, e_2, \dots, e_7$  の二乗平均値に対し変調器 SNR のシミュレーション結果。(左の図はケース 2、右の図はケース 3)。

3dB で改善される。しかし、図 13, 14 のケース 2 において、DAC の非線形性が相対的に大きい場合、OSR を増加しても SNR は改善されないことは明らかである。図 15 で示すように、DAC の非線形性によって、周波数  $(4,091/16,384)f_s$  と  $(4,099/16,384)f_s$  において、スプリアス・トンが現われる。この高周波成分はノイズの主要部分を占めるため、OSR を増加しても SNR は改善されない原因である。

## 5 まとめ

高精度複素バンドパス  $\Delta\Sigma$ AD 変調器用マルチビット DAC の非線形性をノイズ・シェーブする新しいアルゴリズムを提案した。わずかなデジタル回路を付加することで、複素バンドパス  $\Delta\Sigma$ ADC の性能改善を可能にし、また、その効果を Matlab によるシミュレーションで確認した [17, 18, 19]。最後に、結論を以下のようにまとめる:

- 提案したアルゴリズムにおいて、時刻  $2n$  のとき、DAC1 は I-ch、DAC2 は Q-ch に用いられる。時刻  $2n + 1$  の時、DAC1 は Q-ch、DAC2 は I-ch に用いられる。DAC1 と DAC2 は交互で I,Q 経路に用いられるため、2 つ DAC の特性 mismatches の影響も極めて小さい構成で実現できる。
- 提案したアルゴリズムは  $\Delta\Sigma$ AD 変調器だけでなく、マルチビット複素バンドパス  $\Delta\Sigma$ DA 変調器にも適用できる。バンドパス  $\Delta\Sigma$ DA 変調器における重要性は [16] で述べている。

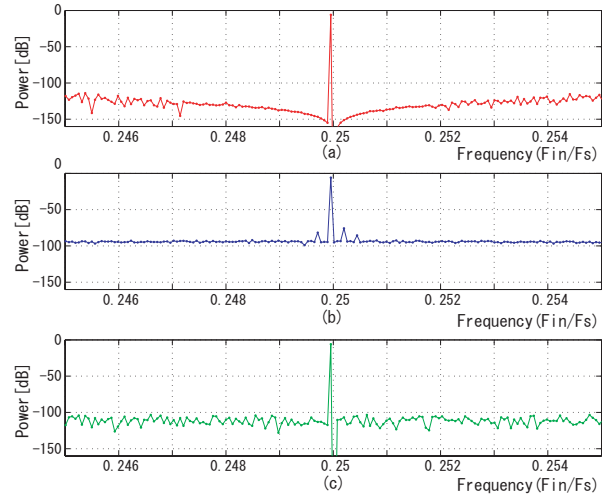


図 15: 図 12 で表す変調器出力スペクトルのシミュレーション結果の信号帯域の拡大図。(a) ケース 1。(b) ケース 2。(c) ケース 3。信号の周波数は  $(4,095/16,384)f_s$  である。ケース 2 では周波数  $(4,091/16,384)f_s$  と  $(4,099/16,384)f_s$  において、スプリアス・トンがあるに対し、ケース 3 では削除された。

- 目標とするのはデジタル信号処理手法を用いて、アナログ回路の精度を改善することである。VLSI のテクノロジーの進歩とデバイスの微細化に伴い、電源電圧も小さくなり、回路テクニックだけで、高精度のアナログ回路を実現するのは困難である。したがって、デジタル手法でアナログ回路の性能を改善することはますます重要になってくる。一方、デジタル回路はさらに高速、安価、低消費電力になり、より複雑なデジタル信号処理アルゴリズムでも簡単で実現できるので、アナログ回路の性能を改善するためには役に立つ。

このアルゴリズムを使用し高精度複素バンドパス  $\Delta\Sigma$  変調器チップを実現していきたい。

謝辞 本研究を支援していただいた (株) 半導体理工学研究センター (STARC) に感謝いたします。

## 参考文献

- [1] K. Philips “ A 4.4mW 76dB complex  $\Sigma\Delta$  ADC for Bluetooth receivers,” *ISSCC Digest of Technical Papers*, vol.46, pp.64-65, Feb 2003.
- [2] F. Henkel, U. Langmann, A. Hanke, S. Heinen, E. Wanger, “ A 1MHz-bandwidth second-order continuous-time quadrature bandpass sigma-delta modulator for low-IF radio receivers,” *IEEE Journal of Solid-State Circuits*, vol.37, pp.1628-1635, Dec. 2002.
- [3] F. Esfahari, P. Basedau, P. Ryter and R. Beker, “ A fourth order continuous-time complex sigma-delta ADC for low-IF GSM and EDGE receivers,” *Symp. of VLSI Circuits, Digest of Technical Papers*, pp.75-78, June 2003.

- [4] R. Schreier, J. Lloyd, L. Singer, D. Paterson, M. Timko, M. Hensley, G. Patterson, K. Behel, J. Zhou, "A 10-300MHz IF-digitizing IC with 90-105dB dynamic range and 15-333kHz bandwidth," *IEEE Journal of Solid-State Circuits* vol.37, pp.1636-1644, Dec. 2002.
- [5] T. Salo, T. Hollman, S. Lindfors, K. Halonen, "A Dual-Mode 80MHz bandpass  $\Delta\Sigma$  modulator for a GSM/WCDMA IF-receiver," *ISSCC Digest of Technical Papers*, vol.45, pp.218-219, Feb 2002.
- [6] S. A. Jantzi, K. W. Martin, A. S. Sedra, "Quadrature bandpass  $\Sigma\Delta$  modulator for digital radio," *IEEE Journal of Solid-State Circuits*, vol.32, pp.1935-1949, Dec. 1997.
- [7] S. R. Norsworthy, R. Schreier, G. C. Temes (editors), *Delta-Sigma Data Converters, - Theory, Design and Simulation*, IEEE Press, 1997.
- [8] T. Ueno, A. Yasuda, T. Yamaji and T. Itakura, "A fourth-order bandpass  $\Delta-\Sigma$  modulator using second-order bandpass noise-shaping dynamic element matching," *IEEE Journal of Solid-State Circuits*, vol.37, pp.809 - 816, July 2002.
- [9] T. Shui, R. Schreier, F. Hudson, "Mismatch shaping for a current-mode multibit delta-sigma DAC," *IEEE Journal of Solid-State Circuits*, vol.34, pp.331-338, March 1999.
- [10] L.R. Carley, "A noise-shaping coder topology for 15bit converters," *IEEE Journal of Solid-State Circuits*, vol. 24, pp. 267 - 273, April 1989.
- [11] E. Fogleman, I. Galton, W. Huff, and H. Jensen, "A 3.3-V single-poly CMOS audio ADC delta-sigma modulator with 53.8-dB peak SINAD and 105-dB peak SFDR," *IEEE Journal of Solid-State Circuits*, vol.35, pp.297 - 307, March 2000.
- [12] R. Schreier, J. Steensgaard and G. C. Temes, "Speed vs. dynamic range trade-off in oversampling data converters," in C. Toumazou, G. Moschytz, and B. Gilbert (editors), *Trade-Offs in Analog Circuit Design, The Designer's Companion*, Kluwer Academic Publishers, pp.644 - 653, 2002.
- [13] Y. Yang, A. Chokhawala, M. Alexander, J. Melanson, D. Hester, "A 114dB 68mW chopper-stabilized stereo multi-bit audio A/D converter," *ISSCC Digest of Technical Papers*, vol.46, pp.56-57, Feb 2003.
- [14] B. Razavi, *Principles of Data Converter Design*, IEEE Press, 1995.
- [15] A. Swaminathan, "A single-IF receiver architecture using a complex SD modulator," M. Eng. thesis, Carleton Univ. Ottawa, ON, Canada 1997.
- [16] D. B. Barkin, A. C. Y. Yin, D. K. Su, B. A. Wooley, "A CMOS oversampling bandpass cascaded D/A converter with digital FIR and current-mode semi-digital filtering," *Symp. of VLSI Circuits, Digest of Technical Papers*, pp.79-82, June 2003.
- [17] 傘昊、小林春夫、川上慎也、黒岩伸幸、"複素バンドパス  $\Delta\Sigma$ AD 変調器用マルチビットDAC 非線形性のノイズ・シェーブ・アルゴリズム," 電子情報通信学会 回路とシステム(軽井沢)ワークショップ, pp.85-90 (2003年4月).
- [18] H. San, H. Kobayashi, S. Kawakami, N. Kuroiwa, H. Wada, "An Element Rotation Algorithm for Multi-bit DAC Nonlinearities in Complex Bandpass Delta-Sigma AD Modulators", IEEE 17th International Conference on VLSI Design, Mumbai, India (Jan. 2004). (採択)
- [19] H. San, H. Kobayashi, S. Kawakami, N. Kuroiwa, "A Noise-Shaping Algorithm of Multi-bit DAC Nonlinearities in Complex Bandpass  $\Delta\Sigma$ AD Modulators," IEICE Trans. on Fundamentals(採択)