

LSI IP デザイン・アワード応募用紙（企業）

タイトル： UNIVERSAL FIFO IP コア

技術分野： 通信、ネットワーク

応募者： ネットクリアシステムズ（株）

所属機関： ネットクリアシステムズ（株）

1. 研究・開発の目的、狙い

Ethernet などパケットを扱う LSI では、クロックの乗り換え、パケットの廃棄・再送、スレッシュホールド制御といった機能を有する高機能 FIFO が必要である。本 IP はこうした共通機能をまとめ IP とすることにより、ネットワーク用 LSI の開発短縮と信頼性向上を可能とした。

2. 研究・開発の概要

- 1) 利用分野： 通信、ネットワーク機器
- 2) 特徴： 通信用に特化した FIFO、非同期回路の IP 化によるシステム信頼性の向上
- 3) 種類： ソフトウェア VC
- 4) 規模： 10k Gates 程度
- 5) 性能： Giga Ethernet MAC で使用可能

3. 訴求点及び効果

パケット通信処理に必要なほとんどの機能を取り込んだ高機能 FIFO を実現した。また、内部クロック乗り換え部ではプロセスに依存しない回路構成を取ることで、IP としてのポータビリティを最大限に高めた。そして各社異なるメモリライブラリにも対応できる構成とした。今まで合成時にチューニング等を行ったことはなく、完成度は極めて高い。

特徴の説明

1. 通信用 FIFO の必要性

Ethernet 等のパケット型ネットワークでは FIFO を使用することが多い。この FIFO に要求される機能は以下の通りである。

- クロック変換機能
- パケット再送機能
- パケット廃棄機能
- スレッシュホールド通知機能

ASIC ベンダが提供している汎用 FIFO ライブラリは、この内クロック変換機能しか実現していない。以下、これらの機能について説明する。

1.1 クロック変換機能

パケット送受信部で FIFO を使用する最大の目的はクロックの変換である。Fig.1 に Ethernet の送受信システムを示す。CPU は送信すべきパケットを作成し、FIFO に書き込む。送信 MAC は FIFO にあるパケットを読み出し、回線に送出する。このとき一般的に送信 MAC と CPU では異なるクロックを使用する（受信部でも同様である）。FIFO は、2つのモジュール間のクロックの違いと、それに伴う書き込み速度と読み出し速度の違いを吸収するために使用される。クロックの違いの吸収するために以下の機構が実装される。

FIFO 内部には書き込みメモリ位置を示す「書き込みポインタ」と、読み出しメモリ位置を示す「読み出しポインタ」がある。「書き込みポインタ」と「読み出しポインタ」は異なるクロックで動作している。FIFO であるから、「読み出しポインタ」は「書き込みポインタ」を追い越してはならない。もし、追い越すと「EMPTY」状態で読み出しを行うことになる。また、「書き込みポインタ」も、周回遅れの「読み出しポインタ」を追い越してはならない。もし追い越すと、「FULL」状態で書き込みを行うことになる。これらの制御を行うため、「書き込みポインタ」と「読み出しポインタ」の値は

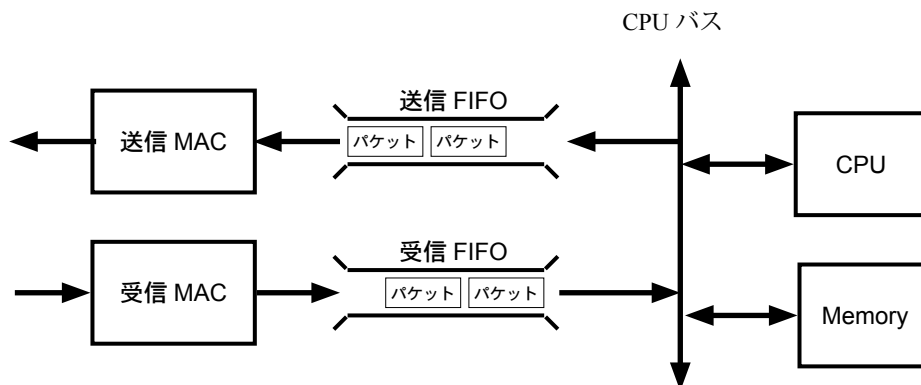


Fig. 1 通信用 FIFO

常に比較を行わなければならない。「書き込みポインタ」は書き込み側のクロック、「読み出しポインタ」は読み出し側のクロックで動作している。したがって、この比較を行うためには「クロック乗り換え回路」が必要になる。こうした機能は、一般の FIFO すなわち、各 ASIC ベンダが提供するライブラリにある FIFO でも提供されている。

1.2 パケット再送機能、廃棄機能

Ethernet は CSMA/CD というアクセス方式で動作している。これは、パケットを送信して他のパケットと衝突したら、このパケットを再送する機能である。Fig.1 に示すよう、送信 MAC は、送信 FIFO からパケットを取り出し、順次回線に送り出す。衝突が発生すると、送信を中断し、送信 FIFO に再送要求を出す。FIFO によりパケットを再送するためには、パケットの先頭の読み出しポインタを保持しておき、再送要求が来たら読み出しポインタに保持した値をロードする機能が必要である。Ethernet に限らず 802.11 無線 LAN 等でも必要である。

また、Ethernet に限らず 802 LAN の多くは、CRC チェックをしている。これは巡回符号によりパケット中に誤りが生じたかどうかをチェックする機能である。誤りが生じた場合、基本的にこのパケットは廃棄される。Fig.1 に示すように、受信したフレームは受信 MAC により受信 FIFO に書き込まれる。同時に受信 MAC は CRC を計算している。この計算結果とパケットの最後部に添付されている CRC フィールドが一致しない場合、パケット中にエラーが発生していたと判断し、受信 MAC は受信 FIFO に対し廃棄を要求する。FIFO によりパケットの廃棄を実現するためには、パケットの先頭の書き込みポインタを保持しておき、廃棄要求が来たらポインタを保持した値に戻すことにより実現する。

こうしたパケットの再送、廃棄機能は、ASIC ベンダの提供する FIFO ライブラリにはない。

1.3 スレッシュホールド制御機能

受信部での処理を考えてみる。受信 MAC 部から受信 FIFO には一定の速度でデータが書き込まれる。一方、CPU 側は受信 FIFO からデータをバースト的に読み出す。一般的に CPU 側の読み出し速度は受信 MAC からの書き込み速度より早い場合が多い。CPU 側ができるだけ効率良くデータを FIFO から読み出すためには、ある程度 FIFO にデータを溜め、一気に読み出すといった方法が要求される。したがって、CPU はある一定のデータがたまったというシグナルが必要になる。これを実現するためには、

$$(\text{書き込みポインタ}) - (\text{読み出しポインタ}) \geq \text{設定値}$$

の条件が成立したときに信号を送出する回路をインプリメントする。従ってこの部分にもクロック乗り換え回路が必要である。

こうした機能は送信側 FIFO でも有効である。一般の ASIC ベンダの提供する FIFO ライブラリにはこうした高機能は実装されていない。

1.1 ~ 1.3 で示したパケット通信特有の機能を実現するためには、従来の汎用 FIFO を使用し機能を追加してできるものではなく、汎用 FIFO の内部を大幅に改造するか、新たに設計し直すしか方法はない。

2. NETCLEUS UNIVERSAL FIFO

弊社では、こうしたパケット通信に特化した FIFO を IP コア化した。

2.1 開発の目的

Ethernet 等、弊社で提供している全ての IP コアは完全な同期回路で提供される。これは IP コアとしてのポータビリティを実現するため必須である。しかし、一ヶ所完全な同期回路で提供できない箇所がある。それが FIFO 部である。1. でも示したように通信で使用する FIFO は極めて高機能であり、ASIC ベンダの提供するライブラリを使用することはできない。弊社ではこの限られた非同期部分を IP 化することにより非同期回路部分のポータビリティを完全なものにする、すなわち ASIC ベンダによる依存性をなくすことを目的として本 UNIVERSAL FIFO を開発した。

2.2 機能

UNIVERSAL FIFO には以下の機能を実装した。

- クロック変換機能
(Full, Empty 通知機能)
- パケット再送機能
- パケット廃棄機能
- プログラマブルスレッシュولد通知機能
(Almost Full, Almost Empty など、送受信各 2 つずつのスレッシュولد通知機能)

ASIC ベンダにおいて通常の FIFO はライブラリとして取りそろえられているが、こうしたパケット通信用の高機能 FIFO は IP コアとして存在していない。したがって、UNIVERSAL FIFO は新規性の高い IP と考えることができる。

2.3 特徴

UNIVERSAL FIFO は上記機能を実現するため、多くの非同期部分を含む。この非同期部分が ASIC ベンダのライブラリに依存しないよう、すなわち最大限のポータビリティを実現するために以下のような手法を取っている。

一般にクロック乗り換え部分にはいろいろな方法が用いられる。Delay 素子を使用したり、反転クロックを使用したりすることもある。弊社ではこれらを使用せず、全て立ち上がりエッジで動作するフリップフロップにより実現した。こうすることにより FAB やプロセス依存性をなくすことができる。また、遅延を制御しにくい FPGA での利用も可能になった。

UNIVERSAL FIFO が実際にデータを蓄える部分は、各 ASIC ベンダの提供するメモリライブラリで実現している。しかし各社の提供するメモリライブラリは仕様があまりにも異なっている。特にアクセスタイムはベンダによって大きく異なる。弊社では、外部からの選択信号によりほとんどのメモリアクセスタイムに使用できるようタイミングを調整する機能を持たせた。また内部回路の遅延と、メモリのアクセスタイムを独立させるため、メモリに接続される信号線を全て D FF 出力、D FF 入力とした。このような手法を取ることで、メモリのベンダ依存性を完全に取り除くことができた。

IP コアはポータビリティがあって当然のことであるが、本 IP コアはあえて非同期部分を IP コア化し、ポータビリティに最大限の配慮をした設計を行ったため、この IP コアを使用した場合、システム全体の開発工数削減や信頼性の向上に大きく貢献することができる。

2.4 有用性、実用性

当初、弊社 Giga Ethernet IP コアの送信 FIFO 部、受信 FIFO 部は全く独自の回路で構成されていた。これは上記のように、パケット通信には汎用の FIFO ライブラリでは全く機能的に足りないからである。しかし機能拡張の度に、細かいタイミングの修正を行うなど、悩みの種であった。こうしたことから、弊社では UNIVSESAL FIFO を開発し、送信 FIFO 部、受信 FIFO 部を新たに作り替えた。最初の送信 FIFO 部、受信 FIFO 部の開発工数に比較し、作り替えの開発工数は 1/3 で行うことができた。また、最初のモデルではバグが無くなるまで長い時間がかかったが、作り替えた新しい送信 FIFO 部、受信 FIFO 部では、完成後全く障害が発生していない。全て複雑な部分が UNIVSESAL FIFO 内に閉じているからである。

弊社では 802.11 無線 LAN の IP コアも開発した。802.11 においてもパケットの再送機能、廃棄機能が必要である。802.11 無線 LAN の IP コアの内部に UNIVERSAL FIFO が 7 個使用されている。もし、UNIVERSAL FIFO が無ければ、802.11 無線 LAN の IP コアの開発におけるバッファ部分の開発は 3 倍程度の工数を要したと考えられる。また、こうして 3 倍もの時間を費やして開発したとしても、特に非同期部分でのタイミングに関わるバグ等により、後々まで悩まされることになったと考えられる。

このように UNIVERSAL FIFO は、開発工数を著しく削減する。また開発後発生する非同期部分および詳細なタイミング部分での障害の発生が、従来の方法での開発に比較し圧倒的に少なくなる。

2.5 完成度

UNIVERSAL FIFO はすでに弊社 Giga Ethernet IP コアに搭載されており、すでに多くのお客様に使用していただいている。一部は ASIC になって量産にはいつている。

2.6 親和性

「特徴」のところですでに述べたように、弊社 UNIVERSAL FIFO IP コアは、ほとんどの FPGA / ASIC ベンダの提供するメモリライブラリに適応できるよう設計している。また、非同期部分に置いても遅延素子を使用しない、「立ち上がりエッジのみしか使用しない」など高いポータビリティを維持するための最大限の努力を払っている。FIFO のような外部メモリを使用したり、非同期回路を含有する IP コアは、FAB やプロセスに依存することが多く、そのたびにチューニングが行われることが多い。しかし弊社の UNIVERSAL FIFO は出荷以来 FAB / プロセス依存したチューニングを行ったことはない。すでに弊社の UNIVERSAL FIFO の Verilog ソースコードは多くのお客様が ASIC、FPGA に対応した合成を行っているが、FAB / プロセス依存による問題が全く発生することなく合成されている。